

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Toshifumi IWASAKI

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HERewith

FOR: METHOD OF DESIGNING SEMICONDUCTOR DEVICE ALLOWING CONTROL OF CURRENT
DRIVING CAPABILITY DEPENDING ON SHAPE OF ELEMENT FORMING REGION

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

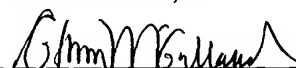
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-069692	March 14, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

C. Irvin McClelland
Registration Number 21,124

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 3月14日

出 願 番 号
Application Number:

特願2003-069692

[ST.10/C]:

[JP2003-069692]

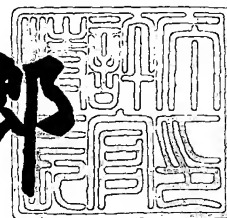
出 願 人
Applicant(s):

三菱電機株式会社

2003年 4月11日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3025352

【書類名】 特許願

【整理番号】 541255JP01

【提出日】 平成15年 3月14日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/04

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

 【氏名】 岩崎 敏文

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100089233

 【弁理士】

 【氏名又は名称】 吉田 茂明

【選任した代理人】

 【識別番号】 100088672

 【弁理士】

 【氏名又は名称】 吉竹 英俊

【選任した代理人】

 【識別番号】 100088845

 【弁理士】

 【氏名又は名称】 有田 貴弘

【手数料の表示】

 【予納台帳番号】 012852

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 半導体装置の設計方法

【特許請求の範囲】

【請求項 1】 半導体装置の設計方法であって、
設計対象である前記半導体装置は、
半導体基板と、
前記半導体基板の主面内に部分的に形成された素子分離絶縁膜と、
前記素子分離絶縁膜によって規定される素子形成領域内において、前記半導体
基板の前記主面上に部分的に形成されたゲート構造と、
前記素子形成領域内において、前記半導体基板の前記主面内に形成され、前記
ゲート構造の下方のチャネル形成領域を挟んで対を成すソース・ドレイン領域と
を備え、
前記素子形成領域の形状によって、前記ゲート構造が形成されている部分の前
記半導体基板に加わるストレスが調整されることを特徴とする半導体装置の設計
方法。

【請求項 2】 前記素子形成領域は、外周に沿って少なくとも一つの凸形状
が形成された上面構造を有する、請求項 1 に記載の半導体装置の設計方法。

【請求項 3】 前記素子形成領域は、外周に沿って少なくとも一つの凹形状
が形成された上面構造を有する、請求項 1 に記載の半導体装置の設計方法。

【請求項 4】 前記素子形成領域の上面のコーナー部分の曲率は、矩形状の
開口パターンを有するフォトリソを用いたパターニングにより形成された素子
分離絶縁膜によって規定される素子形成領域の上面のコーナー部分の曲率よりも
大きい、請求項 1 に記載の半導体装置の設計方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置の設計方法に関し、特に、電流駆動能力の微調整が可
能な MOSFET の設計方法に関する。

【0002】

【従来の技術】

従来のMOSFETの設計方法では、コンタクトプラグとゲート電極との間の距離に応じて、電流駆動能力の調整が行われている（例えば、特許文献1参照）。

【0003】

【特許文献1】

特開平11-186495号公報（図3，4）

【0004】

【発明が解決しようとする課題】

しかしながら、従来のMOSFETの設計方法によると、電流駆動能力の調整幅を広げるべく、ゲート電極が延在する方向に垂直な方向に大きく突き出した突出部を、ソース・ドレイン領域が備えている必要がある。従って、集積度が低下するという問題がある。

【0005】

本発明はかかる問題を解決するために成されたものであり、集積度の低下を回避又は抑制しつつ、電流駆動能力の微調整が可能な半導体装置の設計方法を得ることを目的とする。

【0006】

【課題を解決するための手段】

この発明によれば、設計対象である半導体装置は、半導体基板と、半導体基板の主面内に部分的に形成された素子分離絶縁膜と、素子分離絶縁膜によって規定される素子形成領域内において、半導体基板の主面上に部分的に形成されたゲート構造と、素子形成領域内において、半導体基板の主面内に形成され、ゲート構造の下方のチャネル形成領域を挟んで対を成すソース・ドレイン領域とを備えている。素子形成領域の形状によって、ゲート構造が形成されている部分の半導体基板に加わるストレスが調整される。

【0007】

【発明の実施の形態】

本発明は半導体装置の設計方法に関し、特に、素子分離絶縁膜を形成するため

のパターニング工程で使用されるフォトマスクの設計手法に関するものである。
以下、MOSFETを例にとり、本発明の実施の形態について具体的に説明する。

【0008】

実施の形態1.

図1は、本発明の実施の形態1に関して、MOSFETの構造を示す図である。
図1(A)は、MOSFETの上面構造を示している。図1(B)は、図1(A)に示された素子分離絶縁膜2を形成するためのパターニング工程で使用されるフォトマスクの開口パターンを示している。また、図2は、図1(A)に示したラインII-IIに沿った位置に関する断面図である。なお、図1(A)では、図2に示された層間絶縁膜11の記載が省略されている。

【0009】

図2を参照して、MOSFETは、シリコンから成る半導体基板1と、酸化シリコンから成る素子分離絶縁膜2と、ゲート構造3と、対を成すソース・ドレイン領域6a、6bとを備えている。素子分離絶縁膜2は、半導体基板1の上面内に部分的に形成されている。ゲート構造3は、素子分離絶縁膜2によって規定される素子形成領域内において、半導体基板1の上面上に部分的に形成されている。また、ゲート構造3は、酸化シリコンから成るゲート絶縁膜4と、ドーフトポリシリコンから成るゲート電極5とを有している。ゲート電極5の側面には、窒化シリコンから成るサイドウォール10が形成されている。

【0010】

ソース・ドレイン領域6a、6bは、素子形成領域内における半導体基板1の上面内に形成されている。また、ソース・ドレイン領域6a、6bは、ゲート構造3の下方に規定されるチャネル形成領域を挟んで、互いに対向している。ソース・ドレイン領域6aは、比較的浅く形成された第1の不純物導入領域6a1と、比較的深く形成された第2の不純物導入領域6a2とを有している。同様に、ソース・ドレイン領域6bは、比較的浅く形成された第1の不純物導入領域6b1と、比較的深く形成された第2の不純物導入領域6b2とを有している。MOSFET及び素子分離絶縁膜2を覆って、酸化シリコンから成る層間絶縁膜11

が形成されている。なお、以上で述べた各部の材質は一例であり、他の材質であってもよい。また、M O S F E T の構造は一例であり、どのような構造であってもよい。

【 0 0 1 1 】

図 2 に示したように素子分離絶縁膜 2 がトレンチ型である場合、素子分離絶縁膜 2 の形成工程は、(a) 半導体基板 1 上にシリコン酸化膜及びシリコン窒化膜をこの順に全面的に形成する工程と、(b) シリコン窒化膜をパターニングする工程と、(c) パターニングされたシリコン窒化膜をエッチングマスクとして用いて、エッチングによって半導体基板 1 内に凹部を形成する工程と、(d) 凹部内をシリコン酸化膜によって充填する工程とを含む。

【 0 0 1 2 】

また、素子分離絶縁膜 2 が L O C O S 型である場合、素子分離絶縁膜 2 の形成工程は、(a) 半導体基板 1 上にシリコン酸化膜及びシリコン窒化膜をこの順に全面的に形成する工程と、(b) シリコン窒化膜をパターニングする工程と、(c) シリコン窒化膜が形成されていない部分の半導体基板 1 を熱酸化する工程とを含む。

【 0 0 1 3 】

図 1 (A) を参照して、素子形成領域には、凸部 8 a , 8 b が形成されている。換言すると、素子形成領域は、外周に沿って凸部 8 a , 8 b が形成された上面構造を有している。上記した素子分離絶縁膜 2 の形成工程の工程 (b) において、シリコン窒化膜をパターニングする際に、図 1 (B) に示した開口パターンを有するフォトマスクを用いて写真製版を行うことにより、凸部 8 a , 8 b を有する素子形成領域を得ることができる。

【 0 0 1 4 】

図 1 (B) に示した開口パターンを有するフォトマスクでは、開口パターンの各コーナー部分がいずれも直角に規定されている。これに対して、図 1 (A) に示すように、素子形成領域の各コーナー部分は、僅かに丸みを帯びている。これは、上記した素子分離絶縁膜 2 の形成工程の工程 (b) において、シリコン窒化膜上に形成されたフォトレジストを露光する際の、近接効果の影響によるもので

ある。

【0015】

また、図1 (A) を参照して、MOSFETは、コンタクトプラグ7 a, 7 bを備えている。コンタクトプラグ7 a, 7 bは、ゲート構造3から所定の距離L (固定値) だけ離れた箇所で、ソース・ドレイン領域6 a, 6 bにそれぞれ接続されている。また、コンタクトプラグ7 a, 7 bは、図2に示した層間絶縁膜11内に形成されており、また、凸部8 a, 8 bが形成されていない部分のソース・ドレイン領域6 a, 6 b上に形成されている。

【0016】

図1 (A) に示したように、素子形成領域は、外周に沿って凸部8 a, 8 bが形成された上面構造を有している。従って、凸部8 a, 8 bが形成されていない場合を基準として、素子分離絶縁膜2から半導体基板1に加わるストレスが変化する。ところで、MOSFETの電流駆動能力は、ゲート構造3が形成されている部分の半導体基板1に加わるストレスの大きさによって変動する。そのため、本実施の形態1に係るMOSFETの設計方法によると、ゲート構造3が形成されている部分の半導体基板1に加わるストレスを、凸部8 a, 8 bの形成によって微調整することができ、その結果、MOSFETの電流駆動能力を所望の値に設定することが可能となる。

【0017】

図3～5は、本実施の形態1の変形例に関して、MOSFETの構造をそれぞれ示す図である。各図(A)は、MOSFETの上面構造を示している。各図(B)は、各図(A)に示された素子分離絶縁膜2を形成するためのパターンニング工程で使用するフォトマスクの開孔パターンを示している。

【0018】

図3 (A) に示すように、それぞれ複数の凸部8 a, 8 bを形成してもよい。図4 (A) に示すように、ゲート構造3が延在する方向に関する寸法が凸部8 a, 8 bよりも大きい凸部8 a a, 8 b bを形成してもよい。図5 (A) に示すように、ソース・ドレイン領域6 a, 6 bのコーナー部分に凸部8 a, 8 bを形成してもよい。図1 (A), 5 (A) では、素子形成領域の外周を規定する四辺の

うち、ゲート構造 3 が延在する方向に平行な方向に延在する辺に沿って凸部 8 a, 8 b が形成されているが、凸部 8 a, 8 b は、ゲート構造 3 が延在する方向に垂直な方向に延在する辺に沿って形成されていてもよい。

【 0 0 1 9 】

これらの変形例に係る構造を採用すると、図 1 に示した構造と比較して、ゲート構造 3 が形成されている部分の半導体基板 1 に加わるストレスの大きさが増減する。そのため、図 1 に示した構造を基準として、M O S F E T の電流駆動能力を異ならせることができる。

【 0 0 2 0 】

なお、凸部 8 (即ち、凸部 8 a, 8 b, 8 a a, 8 b b) の面積が過大になると、半導体装置の集積度が低下してしまう。そこで、集積度の低下を抑制すべく、凸部 8 のトータルの面積が、凸部 8 が形成されていない部分の素子形成領域の面積の例えば 3 0 % 以下になるように、凸部 8 の大きさや個数を設定することが望ましい。

【 0 0 2 1 】

実施の形態 2.

図 6 は、本発明の実施の形態 2 に関して、M O S F E T の構造を示す図である。図 6 (A) は、M O S F E T の上面構造を示している。図 6 (B) は、図 6 (A) に示された素子分離絶縁膜 2 を形成するためのパターニング工程で使用されるフォトリソマスクの開口パターンを示している。

【 0 0 2 2 】

素子形成領域には、図 1 (A) に示した凸部 8 a, 8 b の代わりに、凹部 9 a, 9 b が形成されている。換言すると、素子形成領域は、外周に沿って凹部 9 a, 9 b が形成された上面構造を有している。なお、図 3 ~ 5 に示した変形例と同様に、凹部 9 a, 9 b の個数、寸法、形成箇所を任意に変更してもよい。

【 0 0 2 3 】

凸部 8 a, 8 b が形成されている場合と同様に、凹部 9 a, 9 b を形成することによっても、凹部 9 a, 9 b が形成されていない場合を基準として、素子分離絶縁膜 2 から半導体基板 1 に加わるストレスを変化させることができる。そのた

め、本実施の形態2に係るMOSFETの設計方法によっても、上記実施の形態1と同様に、MOSFETの電流駆動能力を所望の値に設定することが可能となる。

【0024】

しかも、凸部8a、8bが形成される場合とは異なり、凹部9a、9bを形成する場合には素子形成領域の面積が増加しない。そのため、集積度が低下することを回避できる。

【0025】

実施の形態3.

図7は、本発明の実施の形態3に関して、MOSFETの構造を示す図である。図7(A)は、MOSFETの上面構造を示している。図7(B)は、図7(A)に示された素子分離絶縁膜2を形成するためのパターニング工程で使用されるフォトマスクの開口パターンを示している。

【0026】

本実施の形態3では、素子分離絶縁膜2を形成するためのパターニング工程において、矩形状の開口パターンを有する一般的なフォトマスクではなく、図7(B)に示すように、コーナー部分が丸みを帯びた開口パターンを有するフォトマスクが使用される。その結果、図7(A)に示すように、素子形成領域のコーナー部分の曲率は、矩形状の開口パターンを有するフォトマスクが使用された場合に得られる素子形成領域のコーナー部分の曲率（例えば図1(A)参照）よりも、大きくなっている。

【0027】

凸部8a、8bが形成されている場合と同様に、素子形成領域のコーナー部分の曲率を変化させることによっても、素子分離絶縁膜2から半導体基板1に加わるストレスを変化させることができる。そのため、本実施の形態3に係るMOSFETの設計方法によっても、上記実施の形態1、2と同様に、MOSFETの電流駆動能力を所望の値に設定することが可能となる。

【0028】

しかも、凸部8a、8bが形成される場合とは異なり、素子形成領域のコーナ

一部分の曲率を変化させる場合には、素子形成領域の面積が増加しない。そのため、集積度が低下することを回避できる。

【 0 0 2 9 】

【発明の効果】

この発明によれば、集積度の低下を回避又は抑制しつつ、半導体装置の電流駆動能力を所望に設定することができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 に関して、M O S F E T の構造を示す図である。

【図 2】 図 1 (A) に示したライン II - II に沿った位置に関する断面図である。

【図 3】 本発明の実施の形態 1 の変形例に関して、M O S F E T の構造を示す図である。

【図 4】 本発明の実施の形態 1 の変形例に関して、M O S F E T の構造を示す図である。

【図 5】 本発明の実施の形態 1 の変形例に関して、M O S F E T の構造を示す図である。

【図 6】 本発明の実施の形態 2 に関して、M O S F E T の構造を示す図である。

【図 7】 本発明の実施の形態 3 に関して、M O S F E T の構造を示す図である。

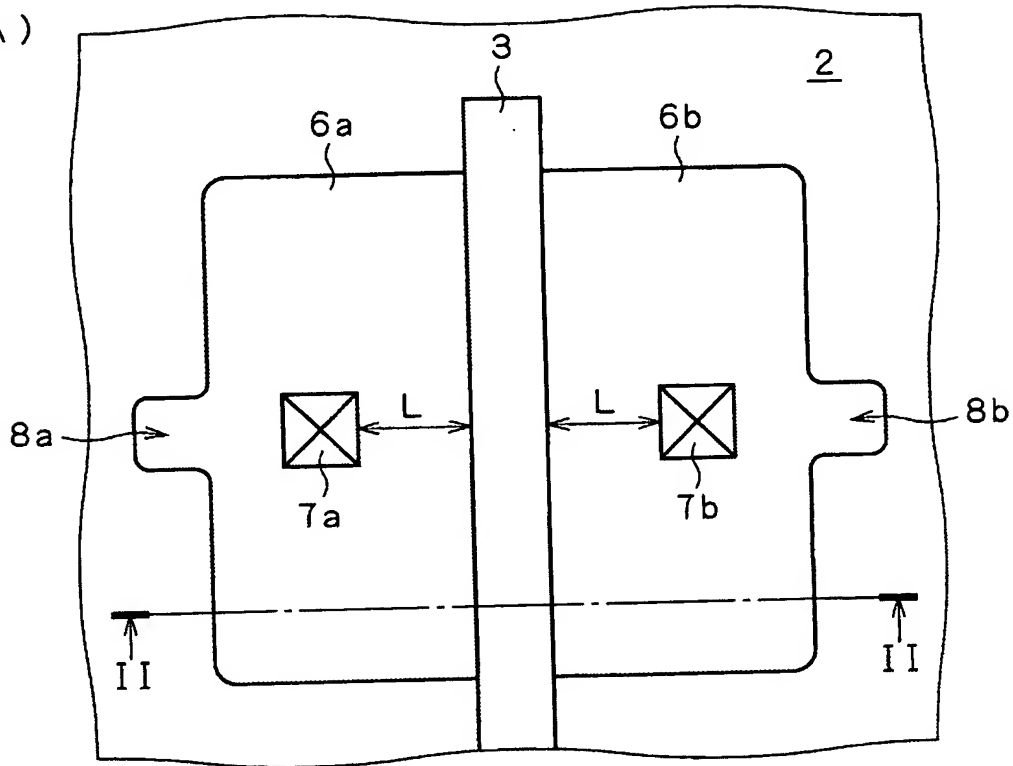
【符号の説明】

1 半導体基板、2 素子分離絶縁膜、3 ゲート構造、6 a , 6 a a , 6 b , 6 b b ソース・ドレイン領域、8 a , 8 a a , 8 b , 8 b b 凸部、9 a , 9 b 凹部。

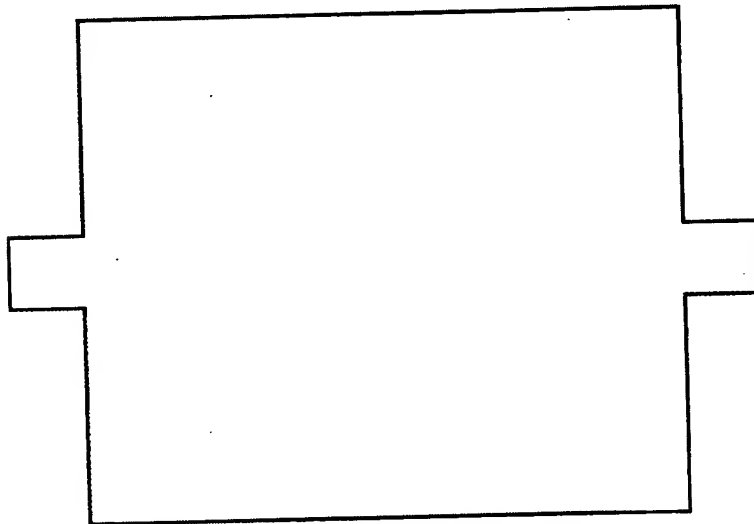
【書類名】 図面

【図 1】

(A)

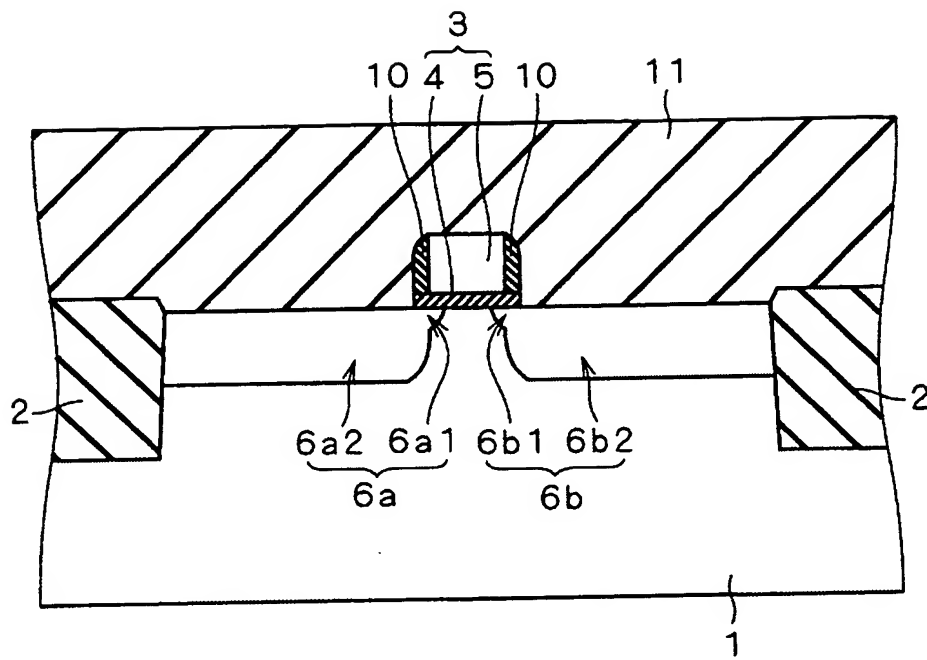


(B)



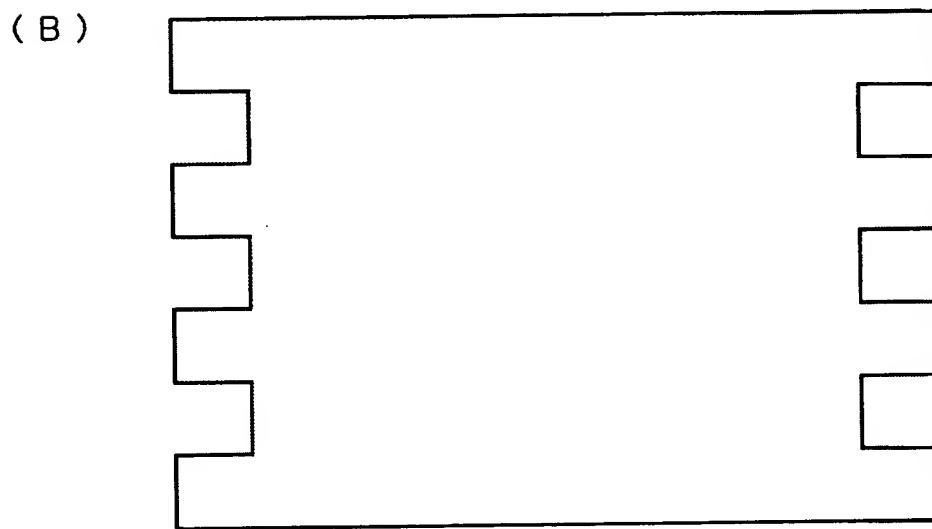
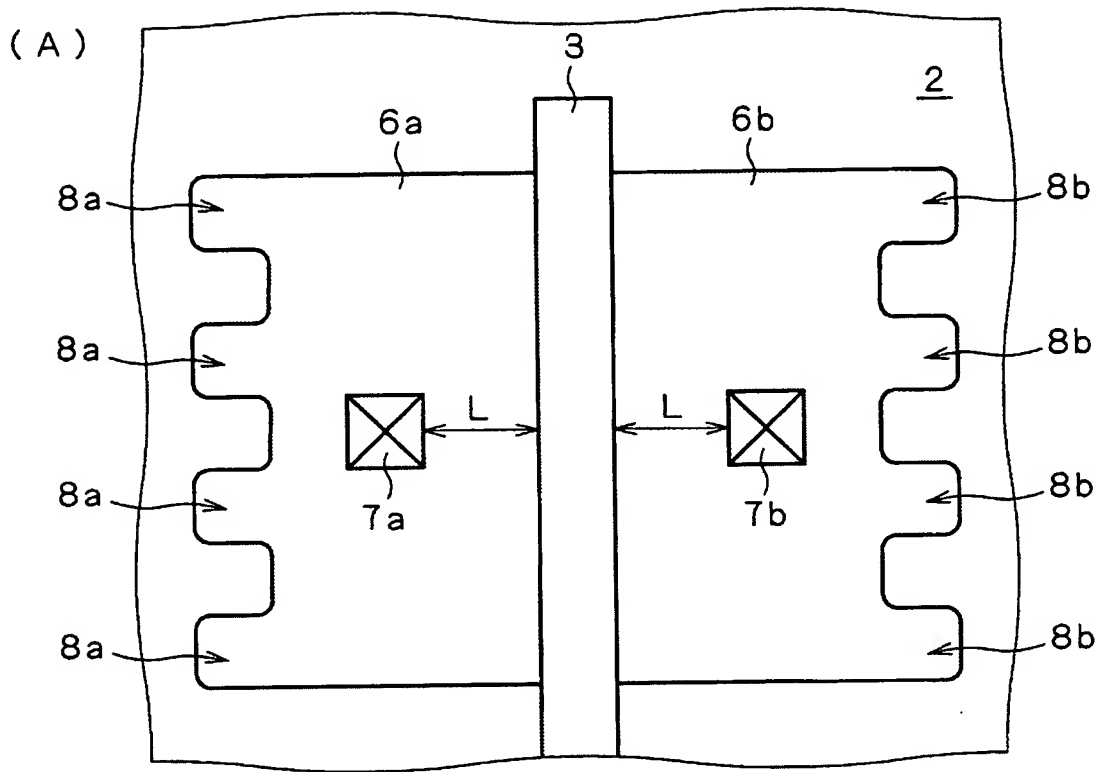
2 : 素子分離絶縁膜
 3 : ゲート構造
 6a, 6b : ソース・ドレイン領域
 7a, 7b : コンタクトプラグ
 8a, 8b : 凸部

【図 2】



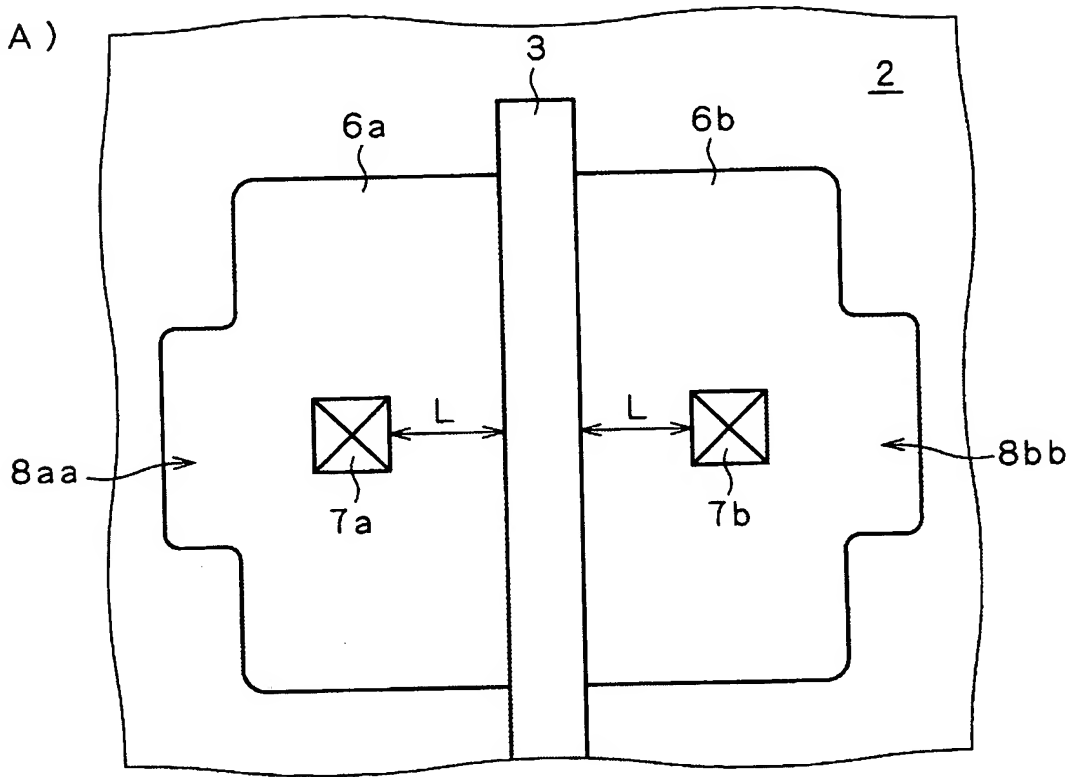
- 1:半導体基板
- 4:ゲート絶縁膜
- 5:ゲート電極

【図 3】

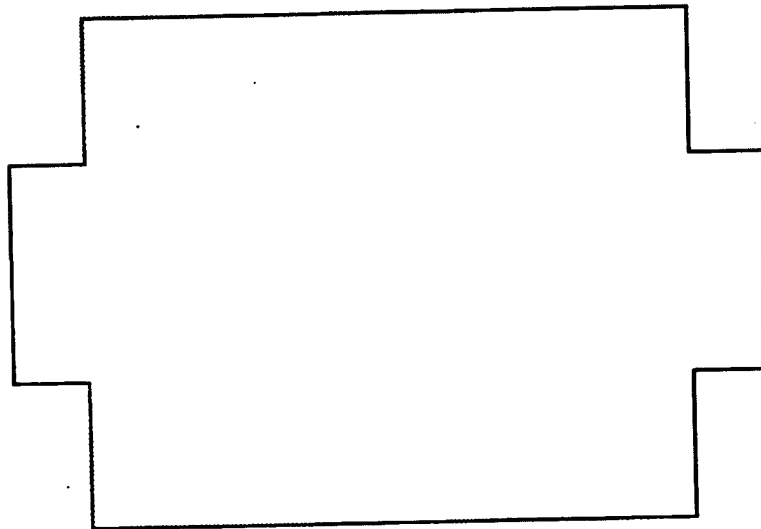


【図 4】

(A)

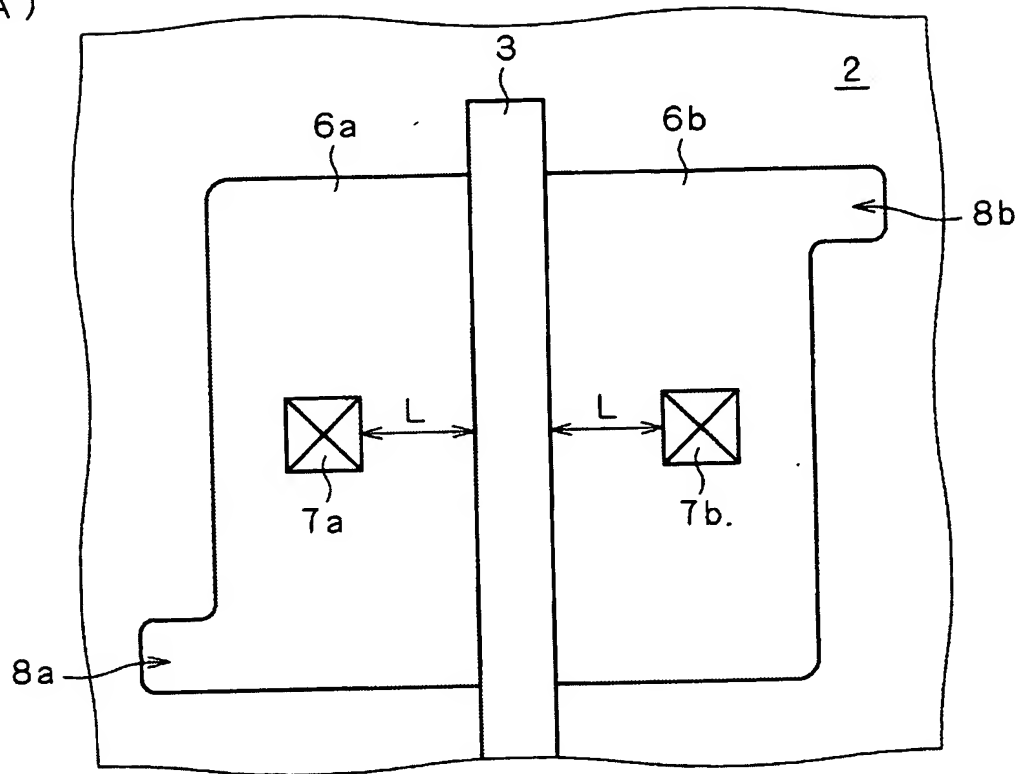


(B)

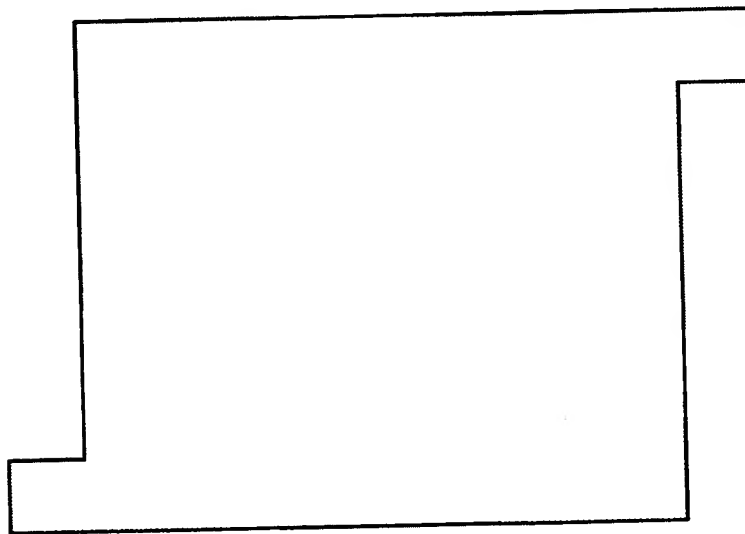


【図 5】

(A)

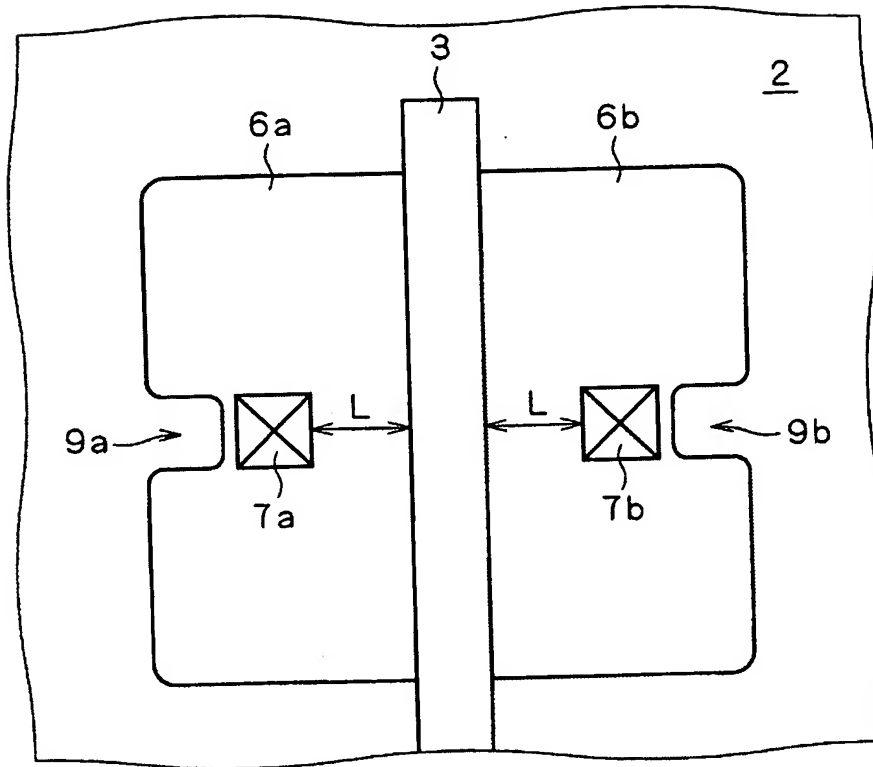


(B)

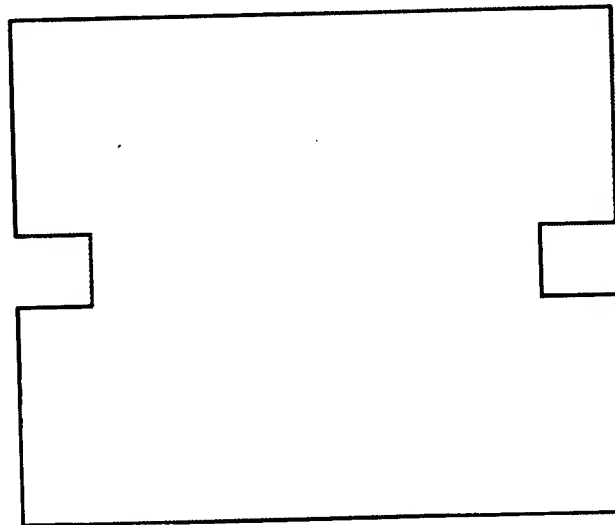


【図 6】

(A)



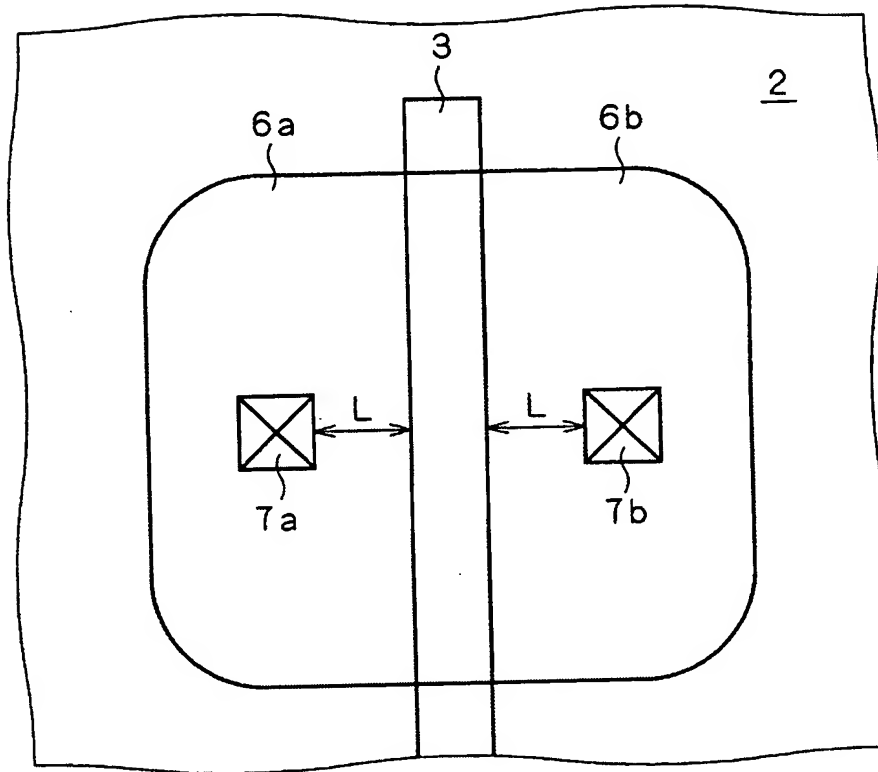
(B)



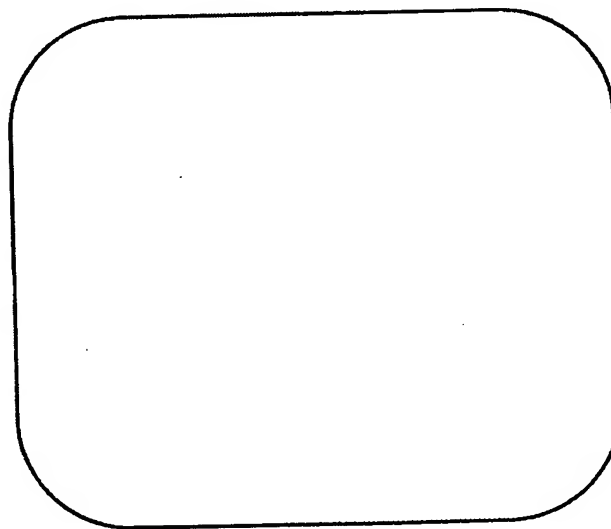
9a, 9b : 凹部

【図 7】

(A)



(B)



【書類名】 要約書

【要約】

【課題】 集積度の低下を回避又は抑制しつつ、電流駆動能力の微調整が可能な、半導体装置の設計方法を得る。

【解決手段】 本発明に係るMOSFETの設計方法は、素子分離絶縁膜を形成するためのパターニング工程で使用されるフォトマスクの設計に関するものである。素子形成領域は、外周に沿って凸部8a, 8bが形成された上面構造を有している。従って、凸部8a, 8bが形成されていない場合を基準として、素子分離絶縁膜2から半導体基板1に加わるストレスが変化する。そのため、ゲート構造3が形成されている部分の半導体基板1に加わるストレスを、凸部8a, 8bの形成によって微調整することができ、その結果、MOSFETの電流駆動能力を所望の値に設定することが可能となる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社